

Patent Gazette Number: 2862078
Issuing Date: February 24, 1999

The following is an English translation of an underlined portion in the claims of JP'072 as attached, which relates to first and second embodiments shown in Figs. 1 and 3, of the above document.

"..., characterized in that the VCO generates the main clock signal and an auxiliary clock signal having a phase difference of 90 degrees from the main clock signal. The phase comparator compares the phases of the input signal and the main clock signal, and also the phases of the input signal and the auxiliary clock signal. Combining the comparison results, if the main clock signal has half the clock rate of the input signal, a signal representing a phase lead or a phase delay is provided to the loop filter."

①

(19) 日本国特許庁 (JP)

(12) 特許公報 (B 2)

(11) 特許番号

第 2 8 6 2 0 7 8 号

(45) 発行日 平成 11 年 (1999) 2 月 24 日

(24) 登録日 平成 10 年 (1998) 12 月 11 日

(51) Int. Cl. ⁶ 識別記号
H 0 4 L 7/033
H 0 3 L 7/08
7/087

F I
H 0 4 L 7/02 B
H 0 3 L 7/08 M
P

請求項の数 4

(全 5 頁)

(21) 出願番号 特願平 8-276537
(22) 出願日 平成 8 年 (1996) 10 月 18 日
(65) 公開番号 特開平 10-126400
(43) 公開日 平成 10 年 (1998) 5 月 15 日
審査請求日 平成 8 年 (1996) 10 月 18 日

(73) 特許権者 000004237
日本電気株式会社
東京都港区芝五丁目 7 番 1 号
(72) 発明者 早田 征明
東京都港区芝五丁目 7 番 1 号 日本電気株式
会社内
(74) 代理人 弁理士 後藤 洋介 (外 1 名)

審査官 清水 康志

(56) 参考文献 特開 平 7-131448 (J P, A)
特開 平 6-61993 (J P, A)
特開 昭 63-168439 (J P, A)
特開 平 9-64859 (J P, A)
特開 昭 62-183216 (J P, A)
特開 平 4-207631 (J P, A)
特開 平 4-222118 (J P, A)

最終頁に続く

(54) 【発明の名称】 P L L

1

(57) 【特許請求の範囲】

【請求項 1】 入力電圧に応じた周波数のクロック信号を発生する V C O と、入力信号と前記クロック信号との位相比較を行う位相比較器と、該位相比較器の出力を濾波し前記 V C O に前記入力電圧として供給するレープフィルタとを有する P L L において、前記 V C O が、前記クロック信号を発生するとともに、当該クロック信号と 9 0 ° の位相差を有する補助クロック信号を発生し、前記位相比較器が、前記入力信号と前記クロック信号との位相比較と、前記入力信号と前記補助クロック信号との位相比較とを行い、これらの位相比較結果を組み合わせることにより、前記クロック信号が前記入力信号のビットレートの 1 / 2 のクロック周波数を有する場合に、前記入力信号に対する前記クロック信号の位相の進み遅れを表す信号を前記レープフィルタに供給できるようにし、

2

たことを特徴とする P L L。

【請求項 2】 前記位相比較器が、前記クロック信号と前記補助クロック信号とがそれぞれデータ入力端子に入力され、前記入力信号がともにクロック入力端子へ入力される 2 個の D フリップフロップと、該 2 個の D フリップフロップの出力から前記位相の進み遅れを表す信号を生成するゲート回路とを有することを特徴とする請求項 1 の P L L。

【請求項 3】 前記ゲート回路が、前記 2 個の D フリップフロップのうちの一方向の正論理出力と負論理出力とを、他方の D フリップフロップの正論理出力と負論理出力とに基づいて通過 / 阻止する一対の C M O S スイッチであることを特徴とする請求項 2 の P L L。

【請求項 4】 前記ゲート回路が、一方の D フリップフロップの正論理出力または負論理出力と、他方の D フリ

ップフロップの正論理出力または不論理出力の排他的論理和を出力する排他的論理和ゲートであることを特徴とする請求項 2 の PLL。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PLLに関し、特に、NRZ信号からクロック信号を抽出するPLLに関する。

【0002】

【従来の技術】光通信等の分野では、伝送信号としてNRZ (Non Return to Zero) 信号がよく用いられる。これは、NRZ信号がRZ (Return to Zero) 信号とは異なり、所要帯域がビットレートの約2/3で済むため、高速電気回路への負担が少ないという特徴があるからである。

【0003】ところが、NRZ信号は、クロック信号のスペクトル成分を持っていない。このため、NRZ信号からクロック信号を抽出するためには、非線形操作を行う必要がある。クロック信号を抽出する方法としては、非線形回路とフィルタとを組み合わせる方式と、PLL (Phase Locked Loop : 位同期回路) を用いる方式とがある。PLLを用いる方式は、非線形回路とフィルタとを組み合わせる方式に比べ、小型である。しかしながら、NRZ信号とクロック信号との位相比較には、RZ信号用等のPLLで使用されるミキサが使用できないので、他の位相比較方法を採用しなければならない。

【0004】従来のNRZ信号用PLLを図4に示す。このようなPLLは、例えば、文献ISSCC93, TP10, 4の図1及び図2に示されている。

【0005】図4のPLLは、入力端子40に接続された2つのD-F/F (D-フリップフロップ) 41、42と、ループフィルタ43と、アンプ44と、VCO (Voltage Controlled Oscillator) 45とを有している。ここでは、2つのD-F/F 41、42が、位相比較器を構成している。

【0006】このPLLでは、入力端子40に入力された入力信号 (NRZ信号) は、2分岐され、D-F/F 41、42のクロック入力端子 (C端子) に与えられる。また、D-F/F 41、42のデータ入力端子 (D端子) には、VCO 45からのクロック信号がそれぞれ与えられる。

【0007】D-F/F 41は、入力信号の立ち上がり時に、クロック信号の識別を行い、入力信号とクロック信号との位相関係を表す信号を出力する。即ち、D-F/F 41は、入力信号に対してクロック信号の位相が進んでいるときは、正論理出力端子 (Q端子) に“1”を出力し、逆に、入力信号に対してクロック信号の位相が遅れているときは、正論理出力端子に“0”を出力する。また、D-F/F 42は、入力信号の立ち下がり時に、クロック信号の識別を行い、入力信号とクロック信

号との位相関係を表す信号を出力する。D-F/F 41は、入力信号に対してクロック信号の位相が進んでいるときは、負論理出力端子 (QB端子) に“0”を出力し、逆に、入力信号に対してクロック信号の位相が遅れているときは、正論理出力端子に“1”を出力する。

【0008】ループフィルタ43は、D-F/F 41、42の出力信号の高調成分を遮断する。そして、アンプ44は、ループフィルタ43の出力を増幅してVCO 45の発振周波数を制御する。

【0009】以上のようにして、入力されるNRZ信号に対して位相同期を確立できるPLLが実現される。

【0010】なお、特開平4-2221188号公報、特開平4-207631号公報、及び特開昭62-183216号公報、等には、2つのD-F/Fを用いたPLLが開示されているが、いずれもNRZ信号に対応するものではない。

【0011】

【発明が解決しようとする課題】従来のPLLでは、各回路がバイポーラトランジスタを用いて構成されているが、このような位相比較回路をCMOSで実現しようとする場合、低消費電力化が問題になる。

【0012】CMOSを用いた回路では、動作周波数が低いほど、回路に流れる電流量 (平均電流) が少なくなり、低消費電力が可能になる。また、PLLからのクロック信号の出力先がDMUX回路等の場合には、VCOが出力するクロックの周波数が、入力信号のクロック周波数 (ビットレート) の1/2であっても差支えない。したがって、VCOが出力するクロックの周波数を入力信号のビットレートの1/2にして、位相比較回路の動作周波数を従来の1/2にすることができれば、PLLの低消費電力を実現することができる筈である。

【0013】しかしながら、従来のPLLでは、VCOからのクロック信号が、入力信号のビットレートの1/2の場合、入力信号とクロック信号との位相比較を行うことができない、つまり、PLLとして動作しないという問題点がある。

【0014】本発明は、入力NRZ信号から、そのビットレートの1/2の周波数のクロック信号を抽出することができるPLLを提供し、もって、低消費電力が可能なPLLを提供することを目的とする。

【0015】

【課題を解決するための手段】本発明によれば、入力電圧に応じた周波数のクロック信号を発生するVCOと、入力信号と前記クロック信号とに位相比較を行う位相比較器と、該位相比較器の出力を濾波し前記VCOに前記入力電圧として供給するループフィルタとを有するPLLにおいて、前記VCOが、前記クロック信号を発生するとともに、当該クロック信号と90°の位相差を有する補助クロック信号を発生し、前記位相比較器が、前記入力信号と前記クロック信号との位相比較と、前記入力

信号と前記補助クロック信号との位相比較とを行い、これらの位相比較結果を組み合わせることにより、前記クロック信号が前記入力信号のビットレートの $1/2$ のクロック周波数を有する場合に、前記入力信号に対する前記クロック信号の位相の進み遅れを表す信号を前記レーブフィルタに供給できるようにしたことを特徴とするPLLが得られる。

【0016】また、本発明によれば、前記位相比較器が、前記クロック信号と前記補助クロック信号とがそれぞれデータ入力端子に入力され、前記入力信号とともにクロック入力端子へ入力される2個のDフリップフロップと、該2個のDフリップフロップの出力から前記位相の進み遅れを表す信号を生成するゲート回路とを有することを特徴とするPLLが得られる。

【0017】前記ゲート回路としては、前記2個のDフリップフロップのうちの一方の正論理出力と負論理出力とを、他方のDフリップフロップの正論理出力と負論理出力とに基づいて通過/阻止する一対のCMOSスイッチや、一方のDフリップフロップの正論理出力または負論理出力と、他方のDフリップフロップの正論理出力または負論理出力の排他的論理和を出力する排他的論理和ゲートが使用できる。

【0018】

【作用】VCOは、入力信号のビットレートの $1/2$ の周波数のクロック信号を発生可能であり、互いに 90° の位相差を持つ2つのクロック信号(0° 及び 90°)を発生する。2つのクロック信号は、それぞれ別のD-F/Fのデータ入力端子に入力される。各D-F/Fのクロック入力端子には、入力信号が入力されており、入力信号の立ち上がりのタイミングで、クロック信号の識別を行なう。各D-F/Fのデータ入力端子に入力される2つのクロック信号が、互いに 90° の位相差を持っているので、これらD-F/Fの出力をCMOSスイッチ等で組み合わせれば、入力信号のビットレートの $1/2$ の周波数のクロック信号の入力信号に対する位相の進み遅れを表す信号が得られる。この信号は、フィルタを介してVCOの制御に使用され、VCOが発生するクロック信号は、入力信号に位相同期する。

【0019】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

【0020】図1に本発明の第1の実施の形態を示す。図1のPLLは、クロック入力端子(C端子)が信号入力端子1に接続された2つのD-F/F2、3と、CMOSスイッチ4、5とを有する位相比較回路6、フィルタ7、及び、入力信号のクロックレートの半分の周波数のクロック信号を出力でき、互いに 90° の位相差を有するクロック信号を発生するVCO8を有している。

【0021】ここで、D-F/F2のデータ入力端子(D端子)は、 0° の位相を持つ(出力端子9に供給さ

れるクロック信号に位相同期する)クロック信号が入力されるよう、VCO8に接続されている。また、D-F/F3のデータ入力端子は、 90° の位相を持つ(出力端子9に供給されるクロック信号より 90° 位相が進んだ)クロック信号が入力されるよう、VCO8に接続されている。また、D-F/F2の正論理出力端子(Q端子)は、CMOSスイッチ4の入力端子に、負論理出力端子(QB端子)は、CMOSスイッチ5の入力端子に接続されている。さらにまた、D-F/F3の正論理出力端子は、CMOSスイッチ4の正論理制御端子とCMOSスイッチ5の負論理制御端子に接続され、負論理出力端子は、CMOSスイッチ4の負論理制御端子とCMOSスイッチ5の正論理制御端子に接続されている。そして、CMOSスイッチ4及び5の出力端子は、いずれもフィルタ7の入力端子に接続され、フィルタ7の出力端子がVCO8の制御端子に接続され、PLLを構成している。

【0022】次に、図2を参照して、図1のPLLの動作を説明する。まず始めに、入力信号(NRZ信号)のビットレートの $1/2$ の周波数を有するクロックの位相と、入力信号の位相との、比較する方法について説明する。

【0023】VCO8が発生する2つのクロック信号の位相は、互いに 90° の位相差があるので、図2(a)に示すような関係にある。ここで、 0° クロック信号の1周期分を4分割し、各領域を α 、 β 、 γ 、及び、 δ とする。入力信号の1ビットは、クロック信号の半周期分に相当するので、その立ち上がりが、 α または γ の領域に存在するとき、クロック信号の位相が入力信号の位相よりも進んでいる状態にある。また、入力信号の立ち上がりが、 β 及び δ の領域に存在するとき、クロック信号の位相が入力信号の位相よりも遅れている状態にある。

【0024】さて、入力信号の立ち上がりが、領域 α に存在するとき、 0° クロック信号は、“1”の状態にある。また、入力信号の立ち上がりが、領域 β に存在するときも、 0° クロック信号は、“1”の状態にある。したがって、 0° クロック信号の状態だけでは、入力信号の立ち上がりがどの領域に存在するのか判定できない。つまり、クロック信号の位相が入力信号の位相よりも進んでいるのか、遅れているのか判定できない。同様に、入力信号の立ち上がりが、クロック信号の領域 γ 、 δ に存在するときも、クロック信号の位相が入力信号の位相よりも進んでいるのか、遅れているのか判定できない。

【0025】しかしながら、 90° クロック信号をみると、入力信号の立ち上がりが領域 α に存在するときは“1”なのに対して、領域 β に存在するときは“0”になっている。また、 90° クロック信号は、入力信号の立ち上がりが領域 γ に存在するとき“0”なのに対して、領域 δ に存在するときは“1”になっている。した

がって、 0° クロック信号と 90° クロック信号の双方の状態をみれば、入力信号の立ち上がりがどの領域に存在するかの判定できる。即ち、クロック信号の位相が入力信号の位相よりも進んでいるのか、遅れているのかを判定することができる。図1のPLLでは、このような判定を2個の $D-F/F2$ 、3で実現している。

【0026】 $D-F/F2$ 、3は、それぞれ、入力信号の立ち上がりのタイミングで、 0° クロック信号と 90° クロック信号とをサンプリングする。入力信号に対して 0° クロック信号の位相が進んでいる場合は、例えば、図2(b)に示すようになる。即ち、サンプリング点A及びBにおいては、 $D-F/F2$ は、正論理出力端子に“0”を出力し、 $D-F/F3$ も正論理出力端子に“0”を出力する。これは、入力信号の立ち上がり、図2(a)の領域 γ に存在する場合に相当する。また、サンプリング点Cにおいては、 $D-F/F2$ は、正論理出力端子に“1”を出力し、 $D-F/F3$ も正論理出力端子に“1”を出力する。これは、入力信号の立ち上がり、図2(a)の領域 α に存在する場合に相当する。

【0027】 $D-F/F2$ 、3がともに、正論理出力端子に“1”を出力し、負論理出力端子に“0”を出力した場合、 $D-F/F3$ の出力に基づいて、CMOSスイッチ4はオンし、CMOSスイッチ5はオフする。そして、CMOSスイッチ4の入力端子には、 $D-F/F2$ の正論理出力端子から“1”が与えられているので、その出力は“1”となる。また、 $D-F/F2$ 、3がともに、正論理出力端子に“0”を出力し、負論理出力端子に“1”を出力した場合、 $D-F/F3$ の出力に基づいて、CMOSスイッチ4はオフし、CMOSスイッチ5はオンする。そして、CMOSスイッチ5の入力端子には、 $D-F/F2$ の負論理出力端子から“1”が与えられているので、その出力は“1”となる。つまり、図2(b)に示すように、入力信号に対して 0° クロック信号の位相が進んでいる場合は、ループフィルタには、“1”が入力される。

【0028】逆に、入力信号に対して 0° クロック信号の位相が遅れている場合は、例えば、図2(c)のようになる。即ち、サンプリング点A'及びB'においては、 $D-F/F2$ は、正論理出力端子に“1”を出力し、 $D-F/F3$ は、正論理出力端子に“0”を出力する。これは、入力信号の立ち上がり、図2(a)の領域 β に存在する場合に相当する。また、サンプリング点C'においては、 $D-F/F2$ は、正論理出力端子に“0”を出力し、 $D-F/F3$ は、正論理出力端子に“0”を出力する。これは、入力信号の立ち上がり、図2(a)の領域 δ に存在する場合に相当する。

【0029】 $D-F/F2$ が、正論理出力端子に“1”を出力し、 $D-F/F3$ が、正論理出力端子に“0”を出力した場合、 $D-F/F3$ の出力に基づいて、CMOSスイッチ4はオフし、CMOSスイッチ5はオンす

る。このとき、CMOSスイッチ5の入力端子には、 $D-F/F2$ の負論理出力端子から“0”が与えられているので、その出力は“0”となる。また、 $D-F/F2$ が、正論理出力端子に“0”を出力し、 $D-F/F3$ が、正論理出力端子に“1”を出力した場合、 $D-F/F3$ の出力に基づいて、CMOSスイッチ4はオンし、CMOSスイッチ5はオフする。このとき、CMOSスイッチ4の入力端子には、 $D-F/F2$ の正論理出力端子から“0”が与えられているので、その出力は“0”となる。このように、入力信号に対して 0° クロック信号の位相が遅れている場合は、図2(c)に示すように、ループフィルタには、“0”が入力される。

【0030】以上のようにして、図1のPLLでは、位相比較回路6において、入力信号と、入力信号のビットレートの $1/2$ の周波数のクロック信号との比較が実現できる。

【0031】位相比較回路6における比較結果は、フィルタ7へ出力され、高調波が除去された後、VCOに供給される。

【0032】本実施の形態を有する、2.4 Gb/s 光通信用PLLを試作した。試作したPLLは、入力されるNRZ信号に同期して、1.2 GHzのクロック信号を発生した。また、消費パワーは、従来のほぼ $1/2$ であった。

【0033】次に、図3を参照して本発明の第2の実施の形態について説明する。このPLLでは、図1のCMOSスイッチ4、5の代わりに、排他的論理和ゲート(EX-OR)10を有している。

【0034】EX-OR10は、その入力端子が、 $D-F/F2$ の正論理出力端子と $D-F/F3$ の負論理出力端子とに接続されており、 $D-F/F2$ 、3が共に正論理出力端子に、“0”または“1”を出力しているときに、“0”を出力する。また、 $D-F/F2$ が正論理出力端子に“0”を出力し、 $D-F/F3$ が正論理出力端子に“1”を出力しているとき、及び $D-F/F2$ が正論理出力端子に“1”を出力し、 $D-F/F3$ が正論理出力端子に“0”を出力しているときは、“1”を出力する。これにより、図1のPLLと同様の動作を実現できる。

【0035】本実施の形態では、排他的論理和ゲートを用いることにより、他の回路もバイポーラトランジスタで構成できる。もちろん、この実施の形態では、CMOSを用いたときのように、消費電力の大幅な低減は実現できないが、動作速度の低下に伴い、電源電圧を引き下げることが可能となり、消費電力の低減効果がある。

【0036】

【発明の効果】本発明によれば、出力クロック信号と、出力クロック信号に対して 90° の位相差を持つ信号とを、各々入力信号と位相比較するようにしたので、出力クロック信号の周波数が入力信号のビットレートの $1/$

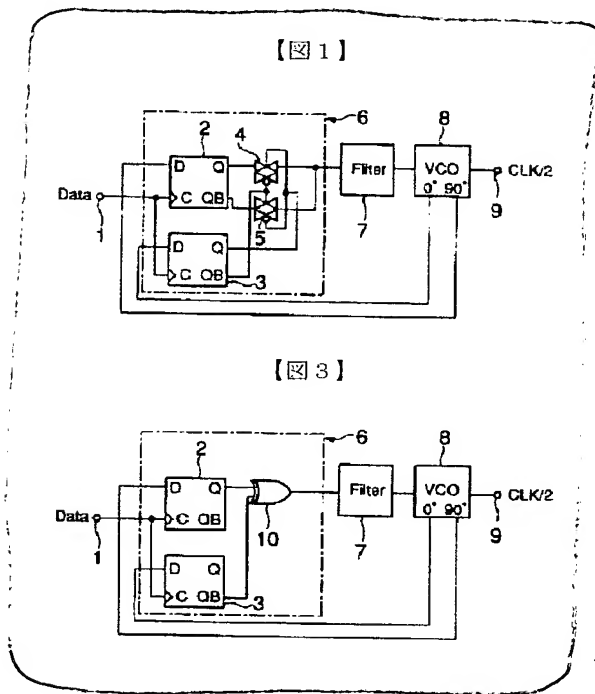
2であっても、出力クロック信号と入力信号との位相比較を行うことができる。これにより、各回路の動作速度を低減でき、もって消費電力の低下を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すブロック図である。

【図2】図1のPLLの動作を説明するため波形図であって、(a)は、 0° クロック信号と 90° クロック信号の位相関係と、これらの信号と入力信号との位相関係を説明するための図、(b)は、出力クロック信号の位相が入力信号の位相よりも進んでいる場合の各部の出力波形図、(c)は、出力クロック信号の位相が入力信号の位相よりも遅れている場合の各部の出力波形図である。

【図3】本発明の第2の実施の形態を示すブロック図である。

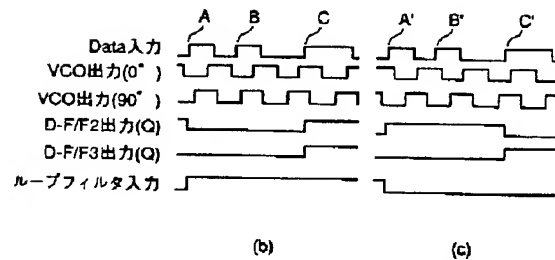
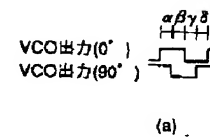


【図4】従来のPLLのブロック図である。

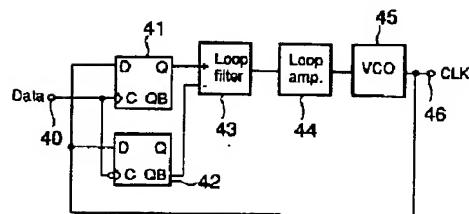
【符号の説明】

- | | |
|--------|------------------------------------|
| 1 | 信号入力端子 |
| 2, 3 | D-F/F |
| 4, 5 | CMOSスイッチ |
| 6 | 位相比較回路 |
| 7 | フィルタ |
| 8 | VCO |
| 9 | 出力端子 |
| 10 | 排他的論理和ゲート (EX-OR) |
| 40 | 入力端子 |
| 41, 42 | D-F/F (D-フリップフロップ) |
| 43 | ループフィルタ |
| 44 | アンプ |
| 45 | VCO (Voltage Controlled Oscilator) |

【図2】



【図4】



フロントページの続き

(58)調査した分野(Int.Cl.⁶, DB名)

H04L 7/033